

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-239059

(43)Date of publication of application : 31.08.1999

(51)Int.Cl.

H03M 1/68

H03M 1/74

(21)Application number : 10-038438

(71)Applicant : HITACHI LTD

(22)Date of filing : 20.02.1998

(72)Inventor : ICHIKI SHUZO

OTSUKA MASANORI

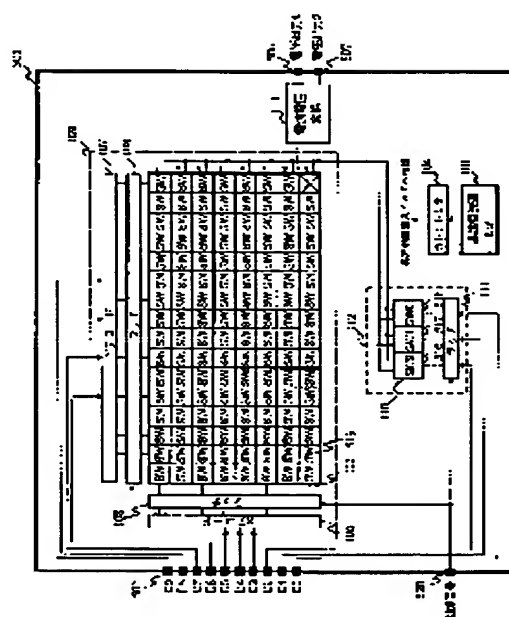
KITAGAWA AKIHIRO

(54) DIGITAL-TO-ANALOG CONVERTER

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a DA converter which makes the voltage of a power supply low, also reduces the number of transistors and has high accuracy.

SOLUTION: This converter is provided with a termination circuit of low input impedance which mutually connects each current input terminal of plural differential current switches 110, connects a current source 101 to the connection points and operates a MOS transistors constituting the switches 110 in an on state in a linear area. The operation of the switches 110 is controlled in response to a digital signal and an analog signal is outputted from the termination circuit. The inter-gate/source voltage that turns on the MOS transistors of the switches 110 is set lower than the inter-drain/source voltage of a conventional current source transistor.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-239059

(43) 公開日 平成11年(1999) 8月31日

(51) Int.Cl.⁶

H 0 3 M 1/68
1/74

識別記号

F I

H 0 3 M 1/68
1/74

審査請求 未請求 請求項の数 6 O L (全 12 頁)

(21) 出願番号 特願平10-38438

(22) 出願日 平成10年(1998) 2月20日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 市来 周蔵

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(72) 発明者 大塚 正則

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(72) 発明者 北川 明弘

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(74) 代理人 弁理士 高橋 明夫 (外1名)

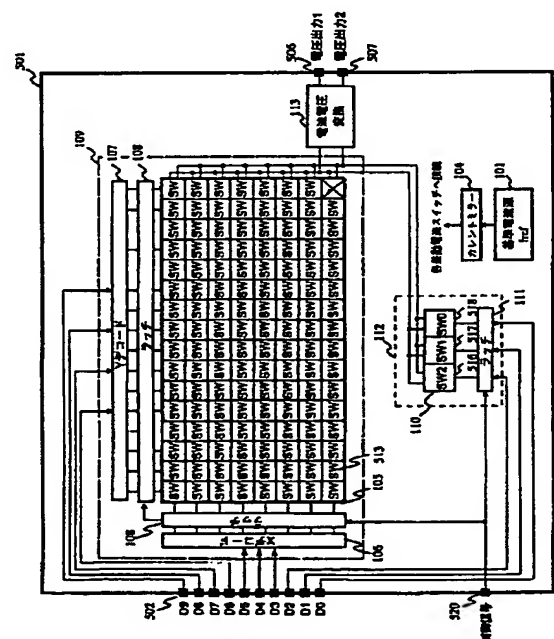
(54) 【発明の名称】 デジタル・アナログ変換器

(57) 【要約】

【課題】 電源の低電圧化が可能で、かつ、トランジスタ数を低減することができる高精度のD/A変換器を提供すること。

【解決手段】 複数の差動電流スイッチの各電流入力端子を相互に接続してその接続点に電流源を接続し、差動電流スイッチを構成するMOSトランジスタをオン状態において線形領域で動作させる低入力インピーダンスの終端回路を備える。デジタル信号にตอบสนองして当該差動電流スイッチの動作を制御してアナログ信号を終端回路から出力する。差動電流スイッチのMOSトランジスタをオンにするゲート・ソース間電圧を従来の電流源トランジスタのドレイン・ソース間電圧よりも低く設定する。

図2



【特許請求の範囲】

【請求項1】電流入力端子を有し当該端子に入力される電流を2方向に振り分ける複数の差動電流スイッチと、振り分けた電流を入力する終端回路とを備え、当該複数の差動電流スイッチの各々は、差動対を構成するMOSトランジスタからなり、デジタル信号にตอบสนองして当該MOSトランジスタのオン・オフを制御することによって複数の差動電流スイッチの振り分け動作を制御し、終端回路からアナログ信号を出力するデジタル・アナログ変換器において、前記複数の差動電流スイッチは、少なくとも1組の差動電流スイッチ群を構成し、群ごとに電流入力端子が相互に接続され、かつ、当該接続点に電流源が接続されており、前記終端回路は、前記MOSトランジスタをオン状態において線形領域で動作させる電位を有し、かつ、線形領域動作のMOSトランジスタが有する出力抵抗よりも十分に低いインピーダンスを呈する入力端子を備えていることを特徴とするデジタル・アナログ変換器。

【請求項2】前記差動電流スイッチの各々は、対をなす2個のMOSトランジスタからなることを特徴とする請求項1に記載のデジタル・アナログ変換器。

【請求項3】前記差動電流スイッチの各々は、それぞれに設定される重みに応じた個数のMOSトランジスタの対からなることを特徴とする請求項1に記載のデジタル・アナログ変換器。

【請求項4】前記複数の差動電流スイッチは、1組の差動電流スイッチ群を構成し、前記電流源は、アナログ信号の出力が最大となる電流値の電流を出力する単一の電流源であることを特徴とする請求項1～請求項3のいずれか一に記載のデジタル・アナログ変換器。

【請求項5】デジタル信号のビットが上位ビットと下位ビットに分けられ、上位ビットのための変換器は、請求項2に記載のデジタル・アナログ変換器からなり、下位ビットのための変換器は、請求項3に記載のデジタル・アナログ変換器からなることを特徴とするデジタル・アナログ変換器。

【請求項6】前記上位ビットのための変換器は、1組の第1の差動電流スイッチ群と、アナログ信号の出力が最大となる電流値の電流を出力する単一の第1の電流源とを備え、前記下位ビットのための変換器は、1組の第2の差動電流スイッチ群と、下位ビットのデジタル信号によるアナログ信号の出力が最大となる電流値の電流を出力する第2の電流源とを備えていることを特徴とする請求項5に記載のデジタル・アナログ変換器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、デジタル信号をアナログ信号に変換するデジタル・アナログ変換器、特に情報機器に適用して好適なデジタル・アナログ変換器に関する。

【0002】

【従来の技術】近年、各種の情報機器が市場に投入され、同機器に使用するLSIが盛んに開発されている。デジタル・アナログ変換器（以下「DA変換器」と表記する）は、情報機器の中で、制御系、表示系、映像・音声系などに幅広く用いられる。DA変換器の多くは、他の回路と共にLSIの中に搭載される。一方、情報機器は、携帯型への進展が著しく、LSIの低消費電力化が強く求められている。電源電圧は5Vが一般的であったが、最近は3V近辺が出現し、更なる低電圧化が進められている。

【0003】一般的なDA変換器の例として、デジタル信号に応じて電流を選択してアナログ信号を出力する電流選択型がある〔例えば電子通信学会発行の信学技報第CAS95-53, IDC95-126号第55頁～第60頁（1995年9月）参照〕。その構成例を図6に示す。同図は、8ビットDA変換器の場合を示しており、8ビットを上位5ビット（D7～D3）と下位3ビット（D2～D0）に分けて構成している。

【0004】上位5ビットに対しては、電流セルマトリクス201を用いている。31個の電流源（電流値はいずれもI₀で等しい）213がX行Y列のマトリクス状に配列され、X行及びY列毎に電流を選択するためのXデコーダ209、Yデコーダ207、208が設置されている。選択の結果、上位5ビットの信号に対応した数の電流（電流値I₀）が取り出される。なお、電流源の個数31は、全ビット数をk、上位ビット数をm、下位ビット数をn（従って、k=m+n）としたときの個数2^m-1から、m=5として求められる。2^mから1を減ずるのは、下位ビットによってこの1個分が充当されるからである。

【0005】前記選択のために電流源毎に1個の差動電流スイッチが接続されているが、そのような電流セルマトリクス201の詳細を図7に示す。同図において、共通のゲート電圧V_{BU}でバイアスされた同一形状、同一サイズのMOS（Metal Oxide Transistor）トランジスタ401～431は、各々電流源となって電流（電流値I₀）を生成する。各電流は、それぞれ差動電流スイッチ438～468の電流入力端子469～499に供給される。各スイッチは、対をなす2個のMOSトランジスタからなり、一方のゲートに制御信号が、他方のゲートにインバータを介して同制御信号の否定が供給される。制御信号の電位は、同信号が“1”のとき接地電位、“0”のとき電源電位になる。なお、図が複雑になるのを避けるために、各電流源をマトリクス状ではなく直線上に配置して示した。また、デコーダ207～209を単純化してデコード／セル選択回路437として示した。前記制御信号は、デコード／セル選択回路437から出力される。

【0006】入力されるデジタル信号D7～D3に応

答して差動電流スイッチ438～468の各々は、いずれか一方のトランジスタをオン、他方のトランジスタをオフにして、電流を選択的に切替える。ゲートに制御信号が直接供給されるトランジスタのドレイン同士が接続され、その接続点から正相のアナログ電流出力 I_{out} が取り出され、ゲートにインバータを経た否定制御信号が供給されるトランジスタのドレイン同士が接続され、その接続点から逆相のアナログ電流出力 I_{out}^* （記号*は逆相及び否定を意味する。以下同じ）が取り出される。

【0007】一方、下位3ビットに対しては、電流値に重みを付けた重み付き電流源202が用いられ（図6参照）、その3種の電流源218（電流値 $I_0/2$ ）、219（同 $I_0/4$ ）、220（同 $I_0/8$ ）のそれぞれに1個の差動電流スイッチが接続されて重みを持った電流が取り出される。

【0008】上位、下位ビットの両電流は、同相毎及び逆相毎に終端回路である電流電圧変換器214に入力され、同相アナログ電圧出力1及び逆相アナログ電圧出力2として出力される。なお、DA変換器を上位ビットと下位ビットに分けて構成するのは、回路素子（トランジスタ）の数を低減するためであるが、電流セルマトリクス201においては、差動電流スイッチ毎に電流源を有するため、トランジスタ数が多いという問題点がある。

【0009】

【発明が解決しようとする課題】以上の従来のDA変換器において、製造されるMOSトランジスタ401～431についてその閾値電圧（ドレイン電流が流れ始めるゲート・ソース間電圧）にばらつきがあることは避けられず、また、これらのトランジスタに供給する電源電圧に電圧勾配（電源配線の寄生抵抗により、縦列供給される奥の方のトランジスタほど電源電圧の降下が大きくなる現象）が生じることが実際上避けられない。このよう

$$V_{DD1} = V_{DS1} (=V_{GS1}) + V_{GS2} (=2V_{th}) \dots\dots (1)$$

従来のDA変換器においては、実効ゲート電圧である $V_{GS1} - V_{th}$ を高く、従って V_{DS1} を高くするために V_{DD1} を高くせざるを得なく、精度を確保しつつ低い電源電圧で動作させることが困難という問題点があった。

【0013】本発明の主たる目的は、前記従来技術の前記問題点を解決し、電源の低電圧化が可能で、かつ、トランジスタ数を低減することができる高精度のDA変換器を提供することにある。

【0014】

【課題を解決するための手段】本発明の前記課題は、D/A変換器を構成する複数の差動電流スイッチを少なくとも1組の差動電流スイッチ群にし、群ごとに電流入力端子を相互に接続してその接続点に電流源を接続し、差動電流スイッチを構成するMOSトランジスタをオン状態において線形領域で動作させる低入力インピーダンスの終端回路を備えることによって効果的に解決することが可能である。このような手段を採用すれば、差動電流

な閾値電圧ばらつきや電圧勾配によって電流源の電流（ドレイン電流）がばらつく。

【0010】この電流ばらつきを抑えるために、MOSトランジスタ401～431のドレイン・ソース間電圧を大きく取ると共に、トランジスタを飽和領域で動作させることが行なわれる。飽和領域は、ドレイン・ソース間電圧をゲート・ソース間電圧から閾値電圧を引いた電圧（以下この差電圧を「実効ゲート電圧」という）よりも大きく、例えばゲート・ソース間電圧と同程度に設定することによって実現される。飽和領域においては、ドレイン・ソース間電圧の変化に対してドレイン電流の変化が少ないので、電流源の定電流性が保たれ、電圧勾配に基づく電流ばらつきが抑えられる。しかし、飽和領域のドレイン電流は、実効ゲート電圧の2乗に比例するために、閾値電圧ばらつきの影響が大きく、前記したようにゲート・ソース間電圧を大きくして、比率的に閾値電圧を小さくしている。

【0011】一方、差動電流スイッチ438～468のトランジスタに与えるゲート・ソース間電圧は、単にオンを維持するための低い電圧でよく、例えば2倍の閾値電圧程度に設定される。電源電圧は、MOSトランジスタ401～431のドレイン・ソース間電圧と差動電流スイッチ438～468のトランジスタのゲート・ソース間電圧の和となるので（スイッチのオン状態のトランジスタのゲート電圧は接地電位である）、電源電圧を V_{DD1} 、電流源トランジスタのドレイン・ソース間電圧を V_{DS1} 、ゲート・ソース間電圧を V_{GS1} 、スイッチトランジスタのゲート・ソース間電圧を V_{GS2} 、閾値電圧を V_{th} （各トランジスタで同じ）とすると、式（1）で表わされる。

【0012】

【数1】

スイッチ用MOSトランジスタのゲート・ソース間電圧と電流源用MOSトランジスタのドレイン・ソース間電圧を低い電圧値に設定することができ、この両者の和を電源電圧として定めることができるからである。

【0015】差動電流スイッチMOSトランジスタの線形領域動作は、同MOSトランジスタのドレイン・ソース間電圧が実効ゲート電圧を下回るように終端回路入力端子の電位を設定することによって実現することができる。そして、線形領域においてMOSトランジスタは、低抵抗の出力抵抗をドレイン・ソース間に形成する。そのため、デジタル信号による制御によって、相互に接続した電流入力端子と正相側との間に接続される出力抵抗の数と、逆相側との間に接続される出力抵抗の数とが変化する（正相側と逆相側の出力抵抗の総和は一定）。電流源の電流がこれらの抵抗によって分流され、正相側と逆相側の分流された電流は、それぞれ終端回路の入力端子に入力され、アナログ信号として出力される。な

お、分流が精度よく行なわれるよう、終端回路の入力端子は、出力抵抗よりも十分に低いインピーダンスを呈するように設定される。

【0016】本発明において、ばらつきを考慮する必要があるのは、この出力抵抗であり、ばらつき範囲を従来と同程度に設定すると、トランジスタを線形領域で動作させるための実効ゲート電圧を前記従来技術で説明した電流源トランジスタの実効ゲート電圧のほぼ $1/2$ にすることができる。その理由は、MOS トランジスタの基本的な性質として、飽和領域におけるドレイン電流が実効ゲート電圧の 2 乗に比例するのに対して、線形領域におけるドレイン電流が実効ゲート電圧の 1 乗に比例し、従って、出力抵抗が実効ゲート電圧の 1 乗に逆比例するからであり、その結果、閾値電圧のばらつきの影響が半減するからである。閾値電圧ばらつきの影響が半減するため実効ゲート電圧を半減することができ、そのような電圧の設定によって従来と同程度の精度を得ることができる。

$$VDD2 = VDS3 (\approx 2V_{th}) + V_{GS4} \quad \dots\dots\dots (2)$$

但し、

【0020】

$$V_{GS4} - V_{th} \approx (1/2) (V_{GS1} - V_{th}) \quad \dots\dots\dots (3)$$

から、

【0021】

$$V_{GS4} \approx V_{GS1} - (1/2) (V_{GS1} - V_{th}) \quad \dots\dots\dots (4)$$

電源電圧 $VDD2$ は、従来例の電源電圧 $VDD1$ と比較して、 $(1/2) (V_{GS1} - V_{th})$ だけ低減することができる。

【0022】以上、電流源を単体で構成する場合を説明したが、トランジスタは少数であれば、ドレイン・ソース間電圧を高めるのではなく、例えば複数の中から特性の揃ったものを選択するなどして、ばらつきの少ないトランジスタを得ることが容易である場合がある。そのような場合は、特性の合ったトランジスタを選択し、 D/A 変換器を数組の差動電流スイッチ群と、群数と同数の電流源をもって構成してもよい。そのような構成においても電源電圧低減の効果を得ることができる。

【0023】次に、電流源の種類は、 DA 変換器を電流セルマトリクス型又は重み付き電流源型のいずれかのみで構成する場合は、1 種類となり、上位ビットと下位ビットで分けて 2 者を用いる場合は、2 者は互いに異なる種類となるので計 2 種類となる。

【0024】 DA 変換器を電流セルマトリクス型又は重み付き電流源型のいずれかのみで構成し、1 組の差動電流スイッチ群で構成する場合、電流源は、 DA 変換器が出力可能なアナログ最大振幅（通常は、デジタル信号の全てが“1”になるときのアナログ出力と、全てが“0”になるときのアナログ出力との差）を得るための電流値（以下これを「 I_{ref} 」で表わす）の電流となる。

【0017】さて、 D/A 変換器を 1 組の差動電流スイッチ群で構成する場合、従って、電流源を単体で構成する場合、電流源トランジスタのばらつきを考慮する必要がなく、トランジスタのドレイン・ソース間電圧は、前記従来例の差動電流スイッチに与えたオン状態のときのゲート・ソース間電圧とほぼ同じに設定することができる。

【0018】電源電圧は、後で詳述するが、電流源トランジスタのドレイン・ソース間電圧と差動電流スイッチトランジスタのゲート・ソース間電圧の和によって定めることができる。このことから、本発明の電源電圧 $VDD2$ は、電流源トランジスタのドレイン・ソース間電圧を $VDS3$ 、電流スイッチトランジスタのゲート・ソース間電圧を V_{GS4} とすると、式 (2) で表わされる。

【0019】

【数 2】

【数 3】

【数 4】

【0025】また、 DA 変換器を上位ビットと下位ビットとに分けて構成し、それぞれを 1 組の差動電流スイッチ群で構成する場合は、上位ビット用電流源の電流は、上記と同じ電流値 I_{ref} になり、下位ビット用の電流源の電流は、下位ビットで出力可能なアナログ最大振幅を得るための電流値（以下これを「 I_0 」で表わす）になる。 $I_0 = I_{ref}/m$ となる。

【0026】次に、個々の差動電流スイッチのトランジスタ数は、電流セルマトリクス型においては、どれも対の 2 個であり、重み付き電流源型では、重み毎に重みに応じた個数の対でその個数の 2 倍になる。

【0027】このような構成によって、本発明による電流セルマトリクス型においては、従来技術と比較してトランジスタ数を減らすことができるという効果を得ることができる。差動電流スイッチのトランジスタ数には差がないが、電流源トランジスタの数は、従来技術では 2^k 個（ DA 変換器を電流セルマトリクス型のみで構成する場合）、 $2^m - 1$ 個（ DA 変換器の上位ビットを電流セルマトリクス型で構成する場合）になるのに対して、本発明では差動電流スイッチ群の群数（1～少数個）となるからである。

【0028】

【発明の実施の形態】以下、本発明に係る DA 変換器の図 1 に示した実施の形態と図 2～図 5 に示した実施例を参照して更に詳細に説明する。なお、図 1～図 5 におけ

る同一の記号は、同一物又は類似物を表示するものとする。

【0029】本発明の実施の形態のD/A変換器は、上位ビットと下位ビットに分けて構成するもので、図1において、109は上位ビットのための電流セルマトリクス型変換器、105は、変換器109の差動電流スイッチ群、112は下位ビットのための重み付き電流源型変換器、110は、変換器112の重み付き差動電流スイッチ群、101は基準となる電流を生成する基準電流源、104は、基準電流源101の電流を複製、縮小した電流を生成し、スイッチ群105、110の電流源となるカレントミラー回路、102は上位ビットのデジタル信号の入力端子、103は下位ビットのデジタル信号の入力端子、106、107は、上位ビットのデジタル信号をスイッチ群105を制御する信号に変換するX行Y列マトリクスのXデコーダ、Yデコーダ、108はデコーダ106、107の出力信号の遅延量を等しくするためのラッチ回路、111は、下位ビットのデジタル信号の遅延量を調節して変換器112の変換タイミングを変換器109と一致させたためのラッチ回路、113は終端回路であり、変換器105、112の出力電流を入力してアナログ信号の出力電圧を出力する電流電圧変換器を示す。

【0030】スイッチ群105は、線形領域動作のMOSトランジスタからなる複数の差動電流スイッチ（図1には示さず、後述する）をX行Y列に配列して構成したものである。これらのスイッチの電流入力端子が共通に接続され、同端子にカレントミラー回路104からの電流が供給される。線形領域動作のMOSトランジスタの出力抵抗によってカレントミラー回路104からの電流が分割され、各差動電流スイッチは、デコーダ106、107の制御により、分割された電流を2方向のいずれかに振り分ける。その結果、入力デジタル信号に応じた分流比が決められ、所定の電流が取り出される。

【0031】スイッチ群110は、線形領域動作のMOSトランジスタからなる複数の重み付き差動電流スイッチ（図1には示さず）を1列に配置したもので、重みがあるため、デジタル信号は、デコーダを経ずに直接スイッチに入力される。スイッチ群110の動作は、基本的には、スイッチ群105と同じである。

【0032】

【実施例】本実施例のD/A変換器は、入力するデジタル信号のビット数を10ビットとし、その上位7ビットを電流セルマトリクス型で構成し、下位3ビットを重み付き電流源型で構成し、それぞれを1組の差動電流スイッチ群で構成した。

【0033】図2において、501はD/A変換器、502はデジタル信号（D9～D0）の入力端子、513

は、カレントミラー回路104の出力端子に接続される差動電流スイッチ、516～518は、カレントミラー回路104の出力端子に接続される重み付き差動電流スイッチ、506、507は、電流電圧変換器113電圧出力のそれぞれ正相及び逆相のアナログ信号出力端子、520は、ラッチ回路108、111の変換タイミングを制御するための制御信号を示す。なお、制御信号520の制御によって、出力端子506、507のアナログ電圧出力は、次の制御信号入力があるまで、前の変換結果が保持される。また、ラッチ回路108、111は、変換タイミングを合わせることによって、制御信号や下位ビットの遅延ばらつきが原因となるグリッチ（インパルス状雑音）の発生を抑える。

【0034】基準電流源101は、電流値 I_{ref} の基準電流を生成し、カレントミラー回路からは、これを複製、縮小した2種の電流（電流値 I_{ref} 、 I_0 ）を出力する。電流値 I_{ref} は、前記したようにアナログ最大振幅の電流であり、電流値 I_0 は、 $I_0 = I_{ref} / 2^m$ において $m=7$ とした $I_{ref} / 128$ である。

【0035】差動電流スイッチ513は、 $2^m - 1 = 127$ 個あり、8行16列に1個を減じて配置した。この配置に限らず、16行8列（1個減）や1行127列等とすることが可能である。1個を減ずるのは、前記したようにこの1個分の電流を下位ビットが賄うからである。但し、 I_{ref} は 2^m 個で分流する必要があるので、図2のスイッチ群105の×印を付した部分には、デジタル信号に無関係に常時 I_0 を流すダミー回路を接続した。

【0036】差動電流スイッチ513のそれぞれは、電流値 I_{ref} の電流を分流して電流値 I_0 の電流を正相、逆相のいずれかに振り分けて出力する。従って、差動電流スイッチ群105は、デジタル信号の値に対して0～127のいずれかの整数 p を対応させると、 $p I_0$ を正相側に、 $(127 - p) I_0$ を逆相側に出力する。

【0037】次に、重み付き差動電流スイッチ516～518は、デジタル信号D2～D0の入力により、ビットの重みに対応した電流を振り分ける。デジタル信号D2～D0は、電流に重み付けがあるためデコードの必要がなく、ラッチ回路111を介して直接個々の電流スイッチへ供給される。電流 I_0 は、各電流スイッチによって重みを付けて分流され、電流スイッチ516は $I_0 / 2$ の電流を、電流スイッチ517は $I_0 / 4$ の電流を、電流スイッチ518は $I_0 / 8$ の電流をそれぞれ正相側又は逆相側に振り分けて出力する。

【0038】入力デジタル信号D2～D0の各ビットの値に対する出力電流の関係を表1に示す。

【0039】

【表1】

表 1

D2	D1	D0	I _o /2	I _o /4	I _o /8	出力電流
0	0	0	off	off	off	0
0	0	1	off	off	on	I _o /8
0	1	0	off	on	off	2×I _o /8
0	1	1	off	on	on	3×I _o /8
1	0	0	on	on	off	4×I _o /8
1	0	1	on	off	on	5×I _o /8
1	1	0	on	on	off	6×I _o /8
1	1	1	on	on	on	7×I _o /8

【0040】入力値が2進数で(000)ならば出力電流は0、2進数で(001)ならば $I_o/8$ 、2進数で(010)ならば $2(I_o/8)$ の電流が流れる。以後入力値が1増加する毎に出力電流は $I_o/8$ づつ増え、入力値が2進数で(111)のときに $7(I_o/8)$ の電流が出力される。

【0041】続いて、差動電流スイッチ513について図3を用いて構成及び動作の原理を説明する。図3aにおいて、SWは、スイッチ513をシンボルで示したものであり、701は、電流 I_{in} を入力する端子、702は、デジタル信号Dの入力端子、703は、デジタル信号Dの制御によって正相側に振り分けられる電流 I_{out} の出力端子、704は、逆相側に振り分けられる電流 I_{out}^* の出力端子を示す。

【0042】スイッチ513の実際の回路を図3bに示す。同図において、705、706は、差動対をなすMOSトランジスタ、708は、デジタル信号Dを反転してその否定 D^* を出力するインバータを示す。MOSトランジスタ705、706は、チャネル長とチャネル幅が等しく、マッチングを考慮してレイアウトされたソース結合対で構成される。その共通ソースは、入力端子701となって電流 I_{in} が入力される。また、トランジスタ705のゲートに端子702が接続され、トランジスタ706のゲートにインバータ708の出力端子が接続される。更に、トランジスタ705のドレインが出力端子703に、トランジスタ706のドレインが出力端子704に接続される。

【0043】このような構成により、デジタル信号Dとインバータ708出力の否定 D^* に従ってトランジスタ705、706の一方がオン、他方がオフとなって、入力電流 I_{in} は、出力端子703又は出力端子704のどちらか一方にのみ流れ出、電流 I_{out} 又は電流 I_{out}^* のいずれかとなる。なお、デジタル信号Dの“1”は接地電位、“0”は電源電位である。

【0044】出力端子703及び出力端子704は、電流電圧変換器113のそれぞれ正相入力端子、逆相入力端子に接続される。そして、本実施例においては、トラ

ンジスタ705、706をオン状態において線形領域で動作させた。そのため、後で詳述するが、トランジスタ705、706がオン状態のときに(即ち、そのゲートの電位が接地電位のときに)、ゲート・ソース間電圧が閾値電圧を越えるように、更に、ドレイン・ソース電圧が実効ゲート電圧を下回るように、加えて、接続するカレントミラー104(図2参照)に適切な電位が与えられるように電流電圧変換器113の両入力端子の電位が設定される。

【0045】トランジスタ705、706は特性が同じであるので、図3bの回路は、2個の値の等しい出力抵抗に置き換えた図3cの回路と等価となる。即ち、図3bの回路は、入力端子701が抵抗714を介して出力端子703へ接続するか、又は抵抗716を介して出力端子704へ接続するかのいずれかとなる回路と見做すことができる。電流電圧変換器113の入力端子のインピーダンスが低い値に設定されるので、入力端子701の呈するインピーダンスは、デジタル信号の状態に無関係に出力抵抗の値で一定である。

【0046】以上の差動電流スイッチ513の127個を行列状に配置して差動電流スイッチ群105(図2参照)を構成した。各スイッチのソースが全てカレントミラー回路104の出力端子に接続される。

【0047】図2に示したカレントミラー回路104、電流電圧変換器113及び電流セルマトリクス型変換器109による上位ビットのための実際の回路を図4に示す。同図において、801は、電流値 I_{ref} の電流、802は、電流801を出力するカレントミラー回路104のトランジスタ、817は、電流801の出力端子(トランジスタ802のドレイン)、803~810は、図3bに示した差動電流スイッチ513の各トランジスタ、813~816は、同じく図3bに示した差動電流スイッチ513のインバータ、824は、デコード/セル選択回路、840、841は、ダミー回路のトランジスタを示す。

【0048】トランジスタ802は、ソースに電源(電圧 V_{DD2})が接続され、ゲートに基準電流源101か

らバイアス 850 (電圧 V_{B1}) が供給され、ドレインから電流 801 を出力する。その出力端子 817 に各差動電流スイッチ 513 とダミー回路の共通ソースを接続した。従って、出力端子 817 は、各差動電流スイッチ 513 の電流入力端子を相互に接続した接続点でもある。差動電流スイッチ 513 は、127 個を用いたが、図 4 では複雑さを避けるため、4 個を直列に配置して示した。デコード／セル選択回路 824 は、図 2 の X デコード 106、Y デコード 107 及びラッチ回路 108 を簡単化して示したもので、ディジタル信号 $D_9 \sim D_3$ が入力される。

【0049】デコード／セル選択回路 824 出力の制御信号は、各差動電流スイッチの一方のゲートに供給され、インバータ 813～816 出力の否定制御信号は、各差動電流スイッチの他方のゲートに供給される。制御信号は、“1” のとき電位が接地電位 GND 、“0” のとき電位が電源電位 V_{DD2} になる。そのとき、否定制御信号は、その逆の電位になる。そして、ゲートの電位が接地電位 GND のときにそのトランジスタはオンとなり、電源電位 V_{DD2} のときにオフになる。

【0050】制御信号が供給されるトランジスタ 804、806、808、810 の各ドレインは、共通の出力端子 818 に接続され、出力端子 818 への正相出力電流が電流電圧変換器 113 の正相入力端子に供給される。否定制御信号が供給されるトランジスタ 803、805、807、809 の各ドレインは、共通の出力端子 819 に接続され、出力端子 819 への逆相出力電流が電流電圧変換器 113 の逆相入力端子に供給される。なお、ダミー回路には、トランジスタ 840 のゲート端子 842 に接地電位 GND を与え、トランジスタ 841 のゲート端子 843 に電源電位 V_{DD2} を与えてトランジスタ 840 を常時オン状態に保った。

【0051】電流電圧変換器 113 の両入力端子の電位を等しくし、その電位を出力端子 817 の電位が $V_{DD2} - V_{DS3}$ になるように設定した。オン状態のトランジスタのゲート電位は、接地電位 GND になっているので、オン状態のトランジスタのゲート・ソース間電圧 V_{GS4} は、 $V_{DD2} - V_{DS3}$ になる。即ち、式 (2) に示したように、 $V_{DD2} = V_{DS3} + V_{GS4}$ となる。なお、オン状態で線形領域動作のトランジスタのドレイン・ソース間電圧は非常に低く、電流電圧変換器 113 の両入力端子の電位は、 $V_{DD2} - V_{DS3}$ を僅かに下回る程度になる。

【0052】このような電位の設定により、オン状態のトランジスタの出力抵抗は、同じ抵抗値 (以下これを「 R_{01} 」で表わす) で揃う。更に、上記したように、電流電圧変換器 113 の入力端子のインピーダンスをこの抵抗値 R_{01} に比べて十分に低く設定したので、カレントミラー回路 104 の出力端子からスイッチ側をみたインピーダンスは、ディジタル信号の状態に無関係に R_{01}

／128 で一定であり、従って同出力端子の電位も一定である (ダミー回路の出力抵抗も同じ抵抗値 R_{01} を持つ)。そのため、電流 801 (電流値 I_{ref}) は 128 等分されて各差動電流スイッチへ電流値 I_0 の電流が流れる。

【0053】そして、ディジタル信号に応じて、 p 個の出力抵抗がカレントミラー回路 104 の出力端子と各差動電流スイッチの共通の正相出力端子 818 との間に接続されて電流電圧変換器 113 の正相側入力端子に電流値 $p I_0$ のアナログ電流出力 I_{out} が入力され、 $127 - p$ 個の出力抵抗がカレントミラー回路 104 の出力端子と電流電圧変換器 113 の逆相側入力端子 819 との間に接続され、電流電圧変換器 113 の逆相側入力端子に電流値 $(127 - p) I_0$ のアナログ電流出力 I_{out}^* が入力される。

【0054】電流電圧変換器 113 は、図 4 右下に示すように、高利得の演算増幅器 821 と、同相帰還用増幅器 828 とからなり、増幅器 821 の出力端子 506、507 の中間電位 V_{OCM} と、変換器 113 の入力端子の電位とが増幅器 828 の入力端子 827 に供給する電源 V_{CMFB} と等しくなるように制御されている。出力端子 506、507 の中間電位 V_{OCM} は、両端子間に接続した等しい抵抗値の抵抗器 829、830 の接続点で得られ、更に、変換器 113 の各入出力端子間にそれぞれ接続した電流電圧変換のための帰還抵抗器 R_{FB} の帰還作用によって、入出力端子間の電位が等しくなる。このような変換器 113 を用いて、電源 V_{CMFB} の電位を調節して電流源トランジスタ 802 の出力端子 817 の電位を所定の電圧値に設定した。なお、帰還抵抗器 R_{FB} の帰還作用によって、変換器 113 の各入力端子は、著しく低いインピーダンスを呈する。

【0055】最終的に、変換器 113 の出力端子 825 において、 $I_{out} R_{FB}$ の電圧値の正相電圧出力 1 と、出力端子 826 において、 $I_{out}^* R_{FB}$ の電圧値の逆相電圧出力 2 とが得られる。

【0056】次に、図 2 に示した重み付き差動電流スイッチ 516～518 については、図 3 b に示したトランジスタ 705、706 の各々を重みに応じた個数の並列接続トランジスタに置き換えることによって実現することができる。

【0057】上記並列接続トランジスタを用いた重み付き電流源型変換器 112 と、図 2 に示したカレントミラー回路 104 及び電流電圧変換器 113 による下位ビットのための実際の回路を図 5 に示す。同図において、907 は、電流値 I_0 の電流、906 は、電流 907 を出力するカレントミラー回路 104 のトランジスタ、905 は、電流 907 の出力端子 (トランジスタ 906 のドレイン)、904 は、ダミー回路を示す。

【0058】トランジスタ 906 は、ソースに電源 (電圧 V_{DD2}) が接続され、ゲートに基準電流源 101 か

らのバイアス 925 (電圧 V_{B2}) が供給され、ドレインから電流 907 を出力する。その出力端子 905 に電流スイッチ 516 ~ 518 とダミー回路 904 の電流入力端子 (共通ソース) を接続した。即ち、出力端子 905 は、電流スイッチ 516 ~ 518 の各電流入力端子の接続点でもある。

【0059】電流スイッチ 516 ~ 518 は、前記した重みに応じた個数のトランジスタを有している。即ち、スイッチ 516 は、4 個のトランジスタの対で計 8 個、スイッチ 517 は、2 個のトランジスタの対で計 4 個、スイッチ 518 は、1 個の対で計 2 個である。個々のトランジスタは、チャネル長とチャネル幅が等しい同じトランジスタとした。なお、これらのトランジスタに流れる電流は、前記電流スイッチ 513 の場合の数の 1 となるので、トランジスタの寸法を小さくして、出力抵抗の抵抗値を R_{02} とした。従って、電流スイッチ 516 ~ 518 の合成出力抵抗は、それぞれ $R_{02}/4$ 、 $R_{02}/2$ 、 R_{02} となり、この抵抗値と、ダミー回路 904 の出力抵抗 (抵抗値 R_{02}) とによってスイッチ 516、517、518 は、電流値 I_0 を分流してそれぞれ前記した電流値 $I_0/2$ 、 $I_0/4$ 、 $I_0/8$ の各電流を得ることができる (ダミー回路の電流値は $I_0/8$)。

【0060】デジタル信号 $D2 \sim D0$ は、各差動電流スイッチに供給され、“1” のとき電位が接地電位 GND 、“0” のとき電位が電源電位 V_{DD2} になって、それぞれトランジスタをオン・オフ制御する。

【0061】デジタル信号 $D2 \sim D0$ が直接供給されるトランジスタの各ドレインは、共通の出力端子 818 に接続され、出力端子 818 への正相出力電流が電流電圧変換器 113 の正相入力端子に供給される。また、同デジタル信号がインバータを介して供給されるトランジスタの各ドレインは、共通の出力端子 819 に接続され、出力端子 819 への逆相出力電流が電流電圧変換器 113 の逆相入力端子に供給される。

【0062】電流電圧変換器 113 の両入力端子の電位設定によって、出力端子 907 の電位は、上位 7 ビットの場合と同様に $V_{DD2} - V_{DS3}$ になる。また、オン状態のトランジスタのゲート・ソース間電圧 V_{GS4} は、 $V_{DD2} - V_{DS3}$ になる。

【0063】このような電位の設定によって、オン状態のトランジスタの出力抵抗は、抵抗値 R_{02} で等しく揃い、前記分流電流 925 ~ 928 が得られる。そして、デジタル信号 $D2 \sim D0$ の値に応じて、出力端子 81

8 に正相のアナログ電流出力 I_{out} が、出力端子 819 に逆相のアナログ電流出力 I_{out}^* が流れる。

【0064】最終的にこれら電流は、上位 7 ビットの電流と加算され、電流電圧変換器 113 の出力端子 506 において正相電圧出力 1 を、出力端子 507 において逆相電圧出力 2 を得ることができる。

【0065】以上によって、本発明の DA 変換器は、電源に従来よりも低い電圧値 V_{DD2} を採用することが可能となり、電源の低電圧化を達成することができる。

【0066】

【発明の効果】本発明によれば、MOS トランジスタの線形領域における出力抵抗を利用して電流の分流を行なうので、ゲート・ソース間電圧を従来に比べて低く設定することができ、従って、電源の低電圧化が可能となる。また、電流セルマトリクス型においては、複数の差動電流スイッチに 1 個乃至少数個の電流源が接続されるため、トランジスタ数の低減が可能となる。

【図面の簡単な説明】

【図 1】本発明に係るデジタル・アナログ変換器の実施の形態を説明するための回路ブロック図。

【図 2】本発明のデジタル・アナログ変換器の実施例を説明するための回路ブロック図。

【図 3】差動電流スイッチの概念、構成及び動作原理を説明するための図。

【図 4】本発明の実施例の第 1 の回路例を説明するための図。

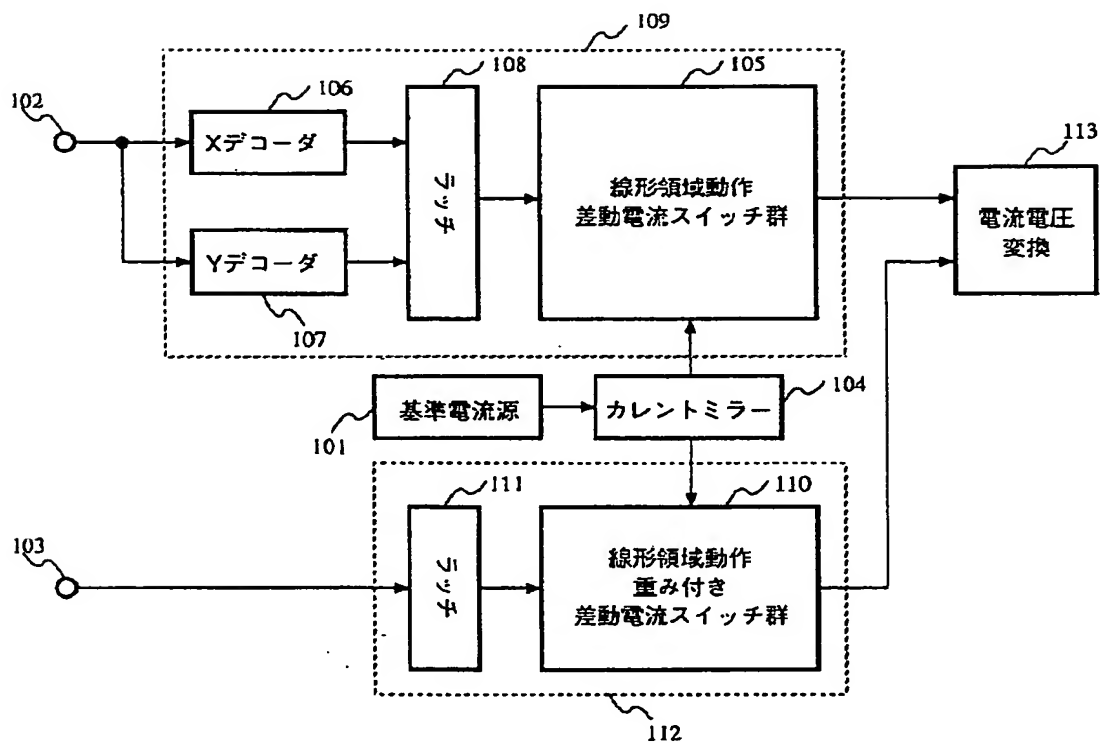
【図 5】本発明の実施例の第 2 の回路例を説明するための図。

【図 6】従来のデジタル・アナログ変換器を説明するための回路ブロック図。

【図 7】従来のデジタル・アナログ変換器の回路例を説明するための図。

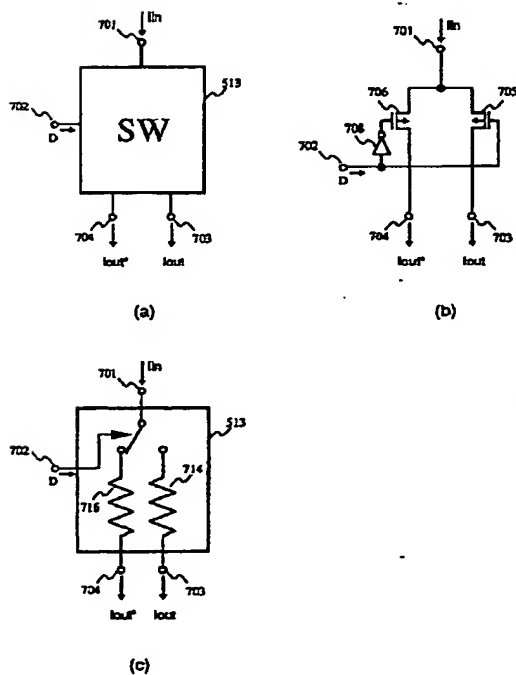
【符号の説明】

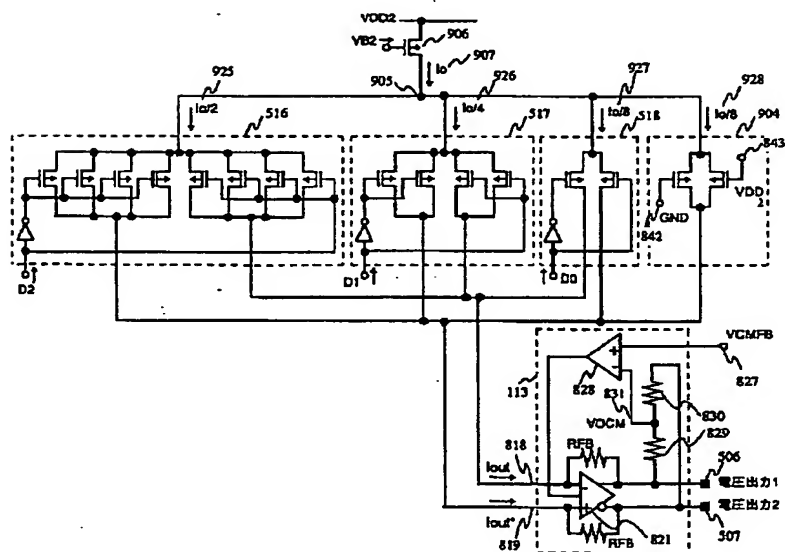
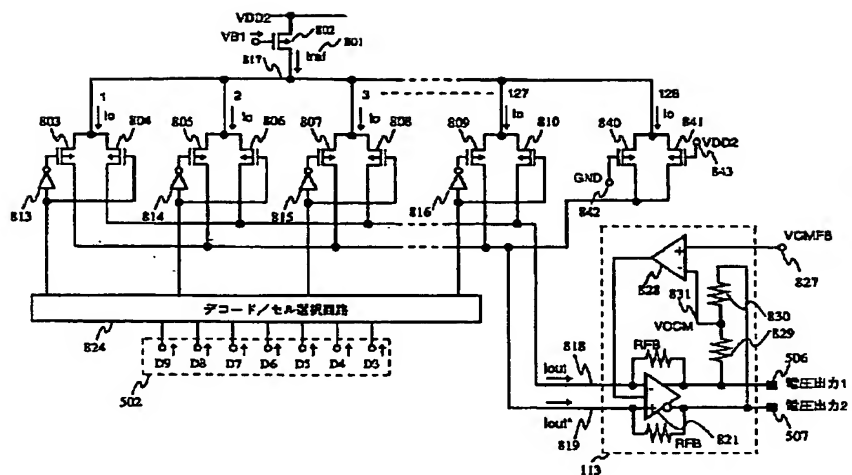
101…電流源、104…カレントミラー回路、105、110…差動電流スイッチ群、109…電流セルマトリクス型変換器、112…重み付き電流源型変換器、113…電流電圧変換器、705、706、802 ~ 810、840、841、906…MOS トランジスタ、513…差動電流スイッチ、701…電流入力端子、516 ~ 518…重み付き差動電流スイッチ、817、905…電流入力端子接続点 (電流源出力端子)、 $D9 \sim D0$ …デジタル信号、 I_{out} 、 I_{out}^* …アナログ電流出力。



【圖 6】

圖 6





【図 7】

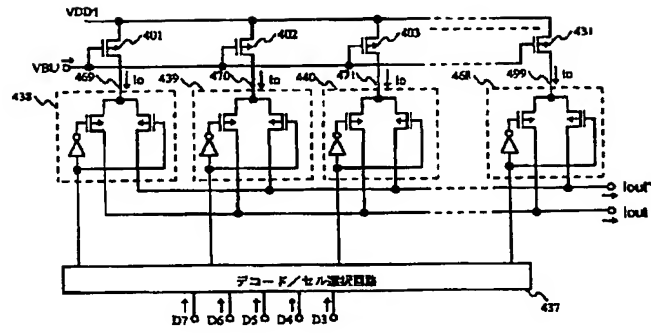


図 7